



DEUTSCHES
PATENTAMT

12 Übersetzung der
europäischen Patentschrift

87 EP 0 334 763 B1

10 DE 689 01 738 T 2

51 Int. Cl. 5:
G 11 C 29/00

- 21 Deutsches Aktenzeichen: 689 01 738.3
86 Europäisches Aktenzeichen: 89 400 826.7
86 Europäischer Anmeldetag: 23. 3. 89
87 Erstveröffentlichung durch das EPA: 27. 9. 89
87 Veröffentlichungstag
der Patenterteilung beim EPA: 10. 6. 92
47 Veröffentlichungstag im Patentblatt: 17. 12. 92

30 Unionspriorität: 32 33 31
25.03.88 FR 8803918

73 Patentinhaber:
SGS-Thomson Microelectronics S.A., Gentilly, FR

74 Vertreter:
Schröter, M., Dipl.-Ing., Pat.-Anw., 5860 Iserlohn

84 Benannte Vertragsstaaten:
DE, ES, GB, IT, NL

72 Erfinder:
Gaultier, Jean-Marie; Farrugia, Augustin; Conan,
Bertrand, F-75116 Paris, FR

54 Verfahren zum Testen eines einmalig programmierbaren Speichers und dazugehöriger Speicher.

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patentamt inhaltlich nicht geprüft.

DE 689 01 738 T 2

DE 689 01 738 T 2

Europäisches Patent 0 334 763

Die Erfindung betrifft einmalig programmierbare Speicher, die unter der Bezeichnung OTP-Speicher (Abkürzung des englischen "One Time Programmable") bekannt sind.

- 5 Diese Speicher sind EPROM-Speicher, d.h. energieunabhängige, elektrisch programmierbare Speicher. Im Gegensatz zu den bekannten EPROM-Speichern, die mit einem für UV-Strahlen durchlässigen Fenster versehen sind und über dieses Fenster durch UV-Strahlen gelöscht und dann elektrisch neu
10 programmiert werden können, sind die OTP-Speicher in ein opakes Gehäuse, das für UV-Licht undurchlässig ist, eingekapselt. Wenn sie einmal programmiert sind, können sie nicht mehr gelöscht werden.

- Genauer gesagt, jedes Bit des Speichers ist anfangs in einem
15 nicht programmierten Zustand. Wenn man es programmiert, so bedeutet dies, daß sein Zustand geändert wird und daß man nicht mehr in den ersten Zustand zurückgelangen kann.

- Meistens besteht jede Speicherstelle aus einem Transistor, der ein Steuer-Gate und ein Floating-Gate besitzt. Durch
20 eine entsprechende Polarisierung der Source, des Drain und des Steuer-Gates kann man diesen Transistor programmieren, was bedeutet, daß sein Floating-Gate bleibend geladen wird. Wenn der Transistor in seinem ursprünglichen Zustand "nicht-programmiert" ist, kann er leicht durch eine an sein Steuer-
25 Gate angelegte Lesespannung leitend gemacht werden. Wenn er im Zustand "programmiert" ist (sein Floating-Gate ist mit Elektronen gefüllt), kann er durch dieselbe an sein Steuergate angelegte Lesespannung nicht mehr leitend gemacht werden.

Derartige Speicher sind also sehr schwer zu testen, und zwar jedenfalls nachdem sie in ihrem endgültigen opaken Gehäuse verkapselt wurden. Sie können nämlich nicht zur Durchführung von Tests programmiert werden. Man muß sie unbeschrieben
5 kaufen, d.h. man kann sie nicht programmiert kaufen, und der Käufer nimmt die Programmierung vor, um ihm die gewünschte Information einzugeben. Sind keine Informationen im Speicher, so ist es natürlich unmöglich, gewisse Tests über die Exaktheit der gespeicherten Informationen oder
10 über die Qualität der Zugangswege zu diesen Informationen durchzuführen. Der Käufer wünscht aber Garantien für das Produkt, das er kaufen möchte, und deshalb wäre es wünschenswert, Tests ausführen zu können.

Ein wichtiger Test ist beispielsweise der Geschwindigkeits-
15 test, mit dem die Zeit zwischen dem Moment, an dem die Adresse des Speichers bezeichnet wird, und dem Moment, an dem man am Ausgang die an dieser Adresse gespeicherte Information erhält, ermittelt wird.

Dieser Test wird sehr ungenau, wenn man ihn an einem Speicher
20 durchführt, bei dem alle Transistoren im nichtprogrammierten Zustand sind. Man versucht dabei nämlich, nacheinander in sehr kurzen Zeitintervallen verschiedene Speicherpunkte zu adressieren, und beobachtet, nach wieviel Zeit die Information am Ausgang erhalten wird. Da die Information je-
25 doch an jedem adressierten Punkt stets dieselbe ist, kann man nicht wirklich unterscheiden, wo das Ende der vorhergehenden Information und der Anfang der folgenden Information ist.

Aus diesem Grund übrigens führt man in Nicht-OTP-Speichern Geschwindigkeitstests durch, indem man in den Speicher
30 eine schachbrettartige Information einschreibt, d.h. indem man

jeden zweiten Transistor programmiert, und mit hoher Geschwindigkeit die aufeinanderfolgenden Adressen des Speichers liest. Die Information am Ausgang ist dann abwechselnd eine logische "0" und eine logische "1", und die maximale Zugriffsgeschwindigkeit zu den Speicherstellen ist leicht nachzuprüfen.

Diese Zugriffsgeschwindigkeit ist insbesondere durch die Zeilen- und Spalten-Decodierschaltungen des Speichers, die Eingangs- und Ausgangsverstärker usw. begrenzt.

Erfindungsgemäß wird ein Mittel zur Vereinfachung des Tests der einmalig programmierbaren Speicher vorgeschlagen, und zwar insbesondere des Geschwindigkeitstests, jedoch auch des Tests von Fehlern der Decodierschaltungen und gewissen Teilen des Speicherstellennetzes.

Da man die Speicherstellen nicht programmieren kann, um das Verhalten der programmierten und nichtprogrammierten Speicherstelle enthaltenden Speichers zu prüfen, wird erfindungsgemäß vorgeschlagen, programmierte Speicherstellen durch nichtprogrammierte Speicherstellen zu simulieren, bei denen man die Leseadressierung gesperrt hat, damit es so aussieht, als seien sie programmiert. Um dieses Konzept anders auszudrücken, kann man folgendes sagen: Wenn man eine besondere Speicherstelle mit Hilfe einer durch einen Decoder an diese Speicherstelle angelegten Lesespannung bezeichnet und an einem Spalten-Leiter den Zustand der Speicherstelle liest, gibt es zwei Möglichkeiten: Entweder die Speicherstelle ist nicht programmiert und der sie bildende Transistor liefert einen Strom, der zeigt, daß er tatsächlich nichtprogrammiert ist, oder die Speicherstelle ist programmiert und kann nun nicht mehr durch die vom Decoder angelegte Lesespannung leitend gemacht werden; in diesem Fall fließt kein Strom und wird am Spaltenleiter kein Strom erfaßt. Wenn nun jedoch kein Strom erfaßt wird, verhält sich der Spaltenleiter genauso, als wäre die Speicherstelle überhaupt nicht adressiert. Er

verhält sich, als würde er die vom Decoder kommende Lesespannung nicht empfangen oder als wäre er nicht mit dem Ausgang des Speichers verbunden.

Der Erfindung liegt also der Gedanke zugrunde,

- 5 - an einen Decoder aufeinanderfolgende Adressen von zu testenden Speicherstellen anzulegen;
- vom Decoder an diese Speicherstellen eine Lesespannung anlegen zu lassen, damit sie am Ausgang des Speichers eine Information über ihren Zustand liefern;
- 10 - die Lesung zu sperren, wenn bestimmte Speicherstellen vom Decoder bezeichnet sind, damit diese Stellen sich, vom Ausgang aus gesehen, wie Speicherstellen verhalten, die in einem Zustand sind, der von dem Zustand, in dem sie in Wirklichkeit sind, abweicht. Während dieser Sperrung adressiert
- 15 der Decoder keine zusätzlichen Speicherelemente, die dem Test vorbehalten sein könnten.

Die Sperrung der Lesung kann darin bestehen, daß das Anlegen einer Lesespannung an die bezeichneten Speicherstellen verhindert wird oder daß die Übertragung der in der Spalte

20 gelesenen Information auf den Ausgang des Speichers verhindert wird.

So können alle Speicherstellen, die durch gesperrte Adresssignale bezeichnet sind, als programmierte Speicherstellen betrachtet werden, während sie es in Wirklichkeit nicht sind.

25 Man simuliert auf diese Weise den gewünschten Inhalt eines Speichers, dessen Speicherstellen in Wirklichkeit alle im selben nichtprogrammierten Zustand sind, und betrachtet das Verhalten des Speichers, dessen Inhalt auf diese Weise simuliert wurde.

30 Man simuliert beispielsweise einen schachbrettartigen Inhalt

eines Speichers, indem man die Übertragung der Adresssignale auf die Speicherstellen an jeder zweiten Stelle sperrt und sie an der nächsten Stelle wieder zuläßt. Neben Schachbrettmustern kann man auch andere Muster simulieren, wobei das einfachste Muster ein Muster von abwechselnden Zeilen von programmierten Punkten und nichtprogrammierten Punkten ist. Komplexere Muster können ohne prinzipielle Schwierigkeit vorgesehen werden, sie erfordern jedoch in der integrierten Speicherschaltung zusätzliche spezifische Decodierschaltungen, die umso umfangreicher sind, je komplexer das Muster ist, so daß man solche Muster eher nicht verwenden wird.

In der den Speicher enthaltenden integrierten Schaltung sind nämlich spezielle Zusatzschaltungen enthalten, die diese Simulation des Speicherinhalts beim Test gestatten.

- 15 Der erfindungsgemäße Speicher gemäß Anspruch 1 umfaßt ein Netz von Speicherstellen, die einen unbeschriebenen Zustand und einen programmierten Zustand aufweisen und deren Zustand selektiv von wenigstens einem Decoder aus gelesen werden kann, der eine Wähladresse einer Speicherstelle empfangen und
20 eine Lesespannung an eine gewählte Speicherstelle senden kann, wobei der Speicher einen Testmodusanschluß aufweist, der dazu bestimmt ist, ein Signal zu empfangen, das angibt, ob der Speicher normal funktionieren oder getestet werden soll, und ist dadurch gekennzeichnet, daß er eine spezifische,
25 durch den Testmodusanschluß gesteuerte Schaltung umfaßt, um im Testmodus die Sperrung des Lesens bestimmter Speicherstellen zuzulassen, wenn die Adresse dieser Stellen vom Decoder empfangen wird, so daß diese Speicherstellen, vom Ausgang des Speichers aus gesehen, eine absichtlich falsche
30 Information über ihren unbeschriebenen Zustand liefern.

Auf diese Weise können programmierte Speicherstellen simuliert

werden, während sie es in Wirklichkeit nicht sind. Und hierbei ist keine zusätzliche Zeile oder Spalte von Speicherelementen vorgesehen, die dem Test vorbehalten sind.

Im normalen Betriebsmodus ist diese spezifische Schaltung
5 natürlich gesperrt.

Bei dem einfachen, jedoch besonders zweckmäßigen Ausführungs-
beispiel, bei dem der simulierte Inhalt ein schachbrett-
förmiger Inhalt ist, besitzt die spezifische Schaltung Unter-
brecher, die in Abhängigkeit vom Zustand der Bits niedriger
10 Stelle der Zeilen- und Spaltenadressen des Speichers ge-
steuert werden. Diese Unterbrecher gestatten es, den Zeilen-
leiter einer gewählten Zeile kurzzuschließen oder einen
Spaltenleiter zu deselektionieren, wenn die Zeilenadresse
einer Zeile von (beispielsweise) ungeradzahligem Rang ent-
15 spricht und gleichzeitig die empfangene Spaltenadresse
ebenfalls einer Spalte von (beispielsweise) ungeradzahligem
Rang entspricht.

Ganz allgemein kann die spezifische Schaltung eine logische
Schaltung sein, die das Anlegen einer Lesespannung an eine
20 gewählte Zeile in Abhängigkeit vom Zustand eines Adressbits
dieser Zeile sperren kann.

Sie kann auch eine logische Schaltung sein, die das Anlegen
einer Lesespannung an eine gewählte Zeile in Abhängigkeit vom
Zustand eines Adressbits einer zur gleichen Zeit wie die Zeile
25 gewählten Spalte sperren kann, wobei die Adresse der Zeile
und die Adresse der Spalte die Stellung einer Speicherstelle
definieren, deren Zustand maskiert werden soll.

Wenn der Speicherinhalt, den man simulieren möchte, ein Schach-
brett ist, besitzt der Speicher eine logische Schaltung,

die die Lesung für eine gewählte Zeile in Abhängigkeit vom Wert der Summe eines Adressbits dieser Zeile und eines Adressbits einer zur gleichen Zeit wie die Zeile gewählten Spalte sperren kann, wobei die Zeilenadresse und die Spaltenadresse
5 die Stellung einer Speicherstelle definieren, deren Zustand maskiert werden soll. Die gewählten Bits sind im Prinzip die Bits niedriger Stelle in Zeile und Spalte.

Die Erfindung ist besonders interessant für einmalig programmierbare Speicher (in Kunststoffgehäuse gekapselte EPROM-Speicher),
10 ist jedoch auch auf andere Speichertypen anwendbar.

Weitere Merkmale und Vorteile der Erfindung ergeben sich aus der folgenden ausführlichen Beschreibung, in der auf die beiliegende Zeichnung Bezug genommen wird. In dieser Zeichnung zeigen:

15 Figur 1 eine schematische Darstellung eines bekannten EPROM-Speichers,

Figur 2 eine Änderung des Speichers, die die Anwendung der Erfindung gestattet.

20 Zum besseren Verständnis der Erfindung wird beschrieben, wie sie im Fall der Simulierung eines schachbrettartigen Inhalts eines Speichers angewendet werden kann, der Stelle für Stelle mit Hilfe eines Zeilendecoders und eines Spaltendecoders adressierbar ist.

25 Ein derartiger Speicher ist in seiner bekannten Form in Figur 1 gezeigt. Dargestellt ist der sehr einfache Fall eines Speichers mit 16 Stellen, die in einem Netz von vier Zeilen und vier Spalten mit je einer Speicherstelle an der Kreuzung jeder Zeile und jeder Spalte angeordnet sind.

Die vier Zeilen werden von vier parallelen Leitern L1, L2, L3

und L4 gebildet und die vier Spalten von vier zu diesen senkrechte Leiter C1, C2, C3 und C4.

Jede Speicherstelle ist mit P_{ij} bezeichnet, wobei i die Nummer der Zeile, zu der sie gehört, und j die Nummer der Spalte darstellt. Die Stelle P_{11} ist also die Stelle an der Kreuzung von Zeile L1 und Spalte C2, die Stelle P_{12} ist an der Kreuzung von Zeile L1 und Spalte C2 usw. bis zur Stelle P_{44} an der Kreuzung von Zeile L4 und Spalte C4.

Jede Speicherstelle besteht bei diesem Ausführungsbeispiel aus einem Floating-Gate-Transistor mit einer Source, einem Drain, einem Floating-Gate und einem Steuer-Gate. Die Source ist mit einer der ganzen Schaltung gemeinsamen elektrischen Masse verbunden, der Drain ist mit der Spalte verbunden, zu der die Speicherstelle gehört, und das Steuer-Gate ist mit einer Zeile verbunden, zu der die Speicherstelle gehört.

Jede Speicherstelle kann einzeln benannt werden, um in ihr eine Information zu lesen oder eine Information einzuschreiben, und zwar mit Hilfe eines Zeilendecoders DL und eines Spaltendecoders DC.

Der Zeilendecoder DL hat soviel Ausgänge, wie das Speichernetz Zeilen hat. Er wählt eine besondere Zeile und legt an sie eine Lesespannung VL an, die die nichtprogrammierten Transistoren leitend machen kann, die programmierten Transistoren hingegen nicht. Die nichtgewählten Zeilen erhalten diese Spannung VL nicht. Sie werden beispielsweise auf dem Potential der Masse gehalten.

Der Spaltendecoder hat sovielen Ausgänge, wie das Speichernetz Spalten hat. Er wählt eine besondere Spalte, um sie mit einem Leseverstärker AL zu verbinden. Die nichtgewählten Spalten werden nicht mit diesem Leseverstärker verbunden.

Bei dem dargestellten Beispiel hat der Spaltendecoder vier Ausgänge, die jeweils einen Transistor (T1 bis T4) steuern, der jeweils zwischen einem Spaltenleiter und dem Leseverstärker in Reihe ist. Der Transistor T1 wird durch den ersten Ausgang des Spaltendecoders gesteuert und ist mit dem ersten Spaltenleiter C1 in Reihe. Der Transistor T2 wird durch den zweiten Ausgang des Decoders gesteuert und ist mit einem zweiten Spaltenleiter T2 in Reihe usw.

Der Zeilendecoder und der Spaltendecoder werden durch Adresssignale gesteuert. Auf bekannte Weise enthält die Speicherebene eine Anzahl von Zeilen, die eine Potenz von zwei (2^n) ist und eine Anzahl von Spalten, die ebenfalls eine Potenz von 2 ist (2^p). Es genügen also n-Eingänge für den Zeilendecoder und p-Eingänge für den Spaltendecoder, um eine Zeilennummer zwischen 1 und 2^n und eine Spaltennummer zwischen 1 und 2^p zu definieren, wobei jeder Eingang ein binäres Signal der logischen Stufe 0 oder 1 empfängt. Die Zeilenadresse wird durch die binären Signale an den Eingängen des Zeilendecoders und die Spaltenadresse durch die binären Signale an den Eingängen des Spaltendecoders definiert.

Die Zeilen und Spalten sind im allgemeinen so ausgebildet, daß zwei Adressen, die sich nur durch ihr Bit niedrigster Stelle unterscheiden, der Wahl von zwei benachbarten Zeilen oder Spalten entsprechen; jedenfalls wird in dem hier beschriebenen besonderen Beispiel davon ausgegangen.

Bei diesem Beispiel gibt es zwei Zeilenadresseeingänge A1 und A2, und man nimmt an, daß der Eingang A2 der niedrigsten Stelle entspricht, d.h., daß unabhängig vom logischen Signal an A1 eine Zeile ungeradzahlgigen Rangs (L1 oder L3) bei einer ersten logischen Stufe (beispielsweise 0) am Eingang A2,

und dagegen eine Zeile geradzahligen Rangs (L2 oder L4) bei einer komplementären logischen Stufe (Stufe 1) am Eingang A2 gewählt wird.

5 Ebenso gibt es zwei Spalten-Adresseingänge A3 und A4. A4 entspricht der niedrigsten Stelle und gestattet die Wahl einer von zwei benachbarten Spalten in einer durch A3 definierten Spaltengruppe. Die Spalten von beispielsweise ungeradzahligem Rang werden durch eine logische Stufe 0 am Eingang A4 benannt.

10 Indem eine Zeilenadresse und eine Spaltenadresse festgelegt werden, definiert man eine Zeile und eine Spalte, d.h. also eine Speicherstelle an der Kreuzung dieser Zeile und dieser Spalte, und erfaßt durch den Verstärker AL den Strom, der in der gewählten Spalte fließt. Dieser Strom ist nicht Null, wenn die Speicherstelle nichtprogrammiert wurde, und ist
15 Null, wenn sie programmiert wurde. Die binäre Information über den Zustand jeder Speicherstelle wird am Ausgang S des Leseverstärkers AL geliefert.

20 Wenn man den Speicher testen möchte, während er unbeschrieben ist (keine Speicherstelle programmiert), muß man systematisch am Ausgang Strom lesen, und zwar unabhängig von der an die Eingänge A1 bis A4 angelegten Zeilen- und Spaltenadresse. Dies gestattet keinen korrekten Test der zum Speicher zugreifenden Schaltungen und insbesondere der Geschwindigkeit dieser Schaltungen.

25 Ein Beispiel der erfindungsgemäßen Änderung des Speichers zur Erleichterung des Tests ist in Figur 2 dargestellt. Diese Figur entspricht einem einfachen Beispiel, in dem man die Reaktion testen möchte, die die zum Speicher zugreifenden Schaltungen besitzen würden, wenn der Inhalt
30 ein Schachbrett aus abwechselnd programmierten und nicht-

programmierten Speicherstelle wäre. Dieser Test ist besonders interessant, da er strenge Anwendungsbedingungen darstellt, denn er zwingt den Ausgang S des Speichers, sehr schnell aufeinanderfolgende Signale zu liefern, die bei jedem
5 Adressenwechsel ihren Zustand ändern (wobei natürlich angenommen wird, daß die aufeinanderfolgenden Adressen in der Reihenfolge der aufeinanderfolgenden Stellungen von Speicherstellen auf der Zeile oder auf der Spalte angelegt werden).

10 Erfindungsgemäß verhindert man für manche an einem der beiden Decoder empfangenen Adressen den Zugriff zur Speicherebene, so daß man den Strom nicht lesen kann, der von einem von einer dieser Adressen gewählten Transistor geliefert würde. Dieser Zugriff wird natürlich nur im Testmodus des Speichers ver-
15 hindert.

Bei allen Adressen, bei denen der Zugriff zugelassen wird, liest man einen Ausgangsstrom, der von einem nichtprogrammierten Transistor kommt, welcher durch eine Lesespannung VL an seinem Steuer-Gate leitend gemacht ist (Fehler können jedoch
20 gegebenenfalls so erfaßt werden, wie es zuvor gemacht wurde).

Bei allen Adressen, bei denen der Zugriff gesperrt ist, liest man keinen Strom am Ausgang (wenn man aber dennoch einen liest, kann man Fehler identifizieren).

Durch abwechselndes Anlegen von Adressen mit zugelassenem
25 Zugriff und Adressen mit nicht zugelassenem Zugriff kann man das Geschwindigkeitsverhalten der Zugriffsschaltungen testen (Zeilendecoder, Spaltendecoder, Leseverstärker usw.).

Das in Figur 2 gezeigte Beispiel ist sehr einfach. Es umfaßt Transistoren (TL1, TL2, TL3, TL4), um im Testmodus den Zugriff

zwischen dem Zeilendecoder und manchen Zeilen des Speichers zu verhindern. Diese Transistoren gestatten die Verbindung dieser Zeilen mit der Masse, so daß, wenn eine Lesespannung VL vom Decoder an eine dieser Zeilen angelegt wird, diese
5 Spannung kurzgeschlossen wird und nicht auf die Steuer-Gates der Transistoren dieser Zeile übertragen werden kann.

Gemäß einer abgewandelten Ausführungsform kann jedoch vorgesehen sein, daß die Transistoren TL1 bis TL4 so geschaltet sind, daß sie die Stromübertragung zwischen den Spalten-
10 leitern und dem Ausgang des Speichers sperren. Hierbei könnten die Transistoren TL1 bis TL4 zwischen die Gitter der Transistoren T1 bis T4 und die Masse geschaltet sein, so daß sie dazu dienen würden, jede Leitendmachung der Transistoren T1 bis T4, also jede Stromübertragung auf den Leseverstärker
15 AL und damit jede Informationsübertragung zwischen den Spaltenleitern und dem Ausgang S zu verhindern. Diese abgewandelte Ausführungsform ist insbesondere dann zweckmäßig, wenn der Leseverstärker als Differenzialverstärker wirkt und einen Bezugseingang hat, der von einer Spalte von Bezug-
20 zellen gebildet wird, die durch den Zeilendecoder DEL adressiert werden. Man muß hierbei nicht die Zeilenleiter während des Tests kurzschließen.

Abgesehen von den Transistoren TL1 bis TL4 besitzt die Schaltung zur Sperrung des Zugriffs zu manchen Zeilen Einrichtungen
25 zur Steuerung dieser Transistoren. Diese Einrichtungen umfassen ganz einfach logische Gatter, die einerseits ein von einem Testmodusanschluß T kommendes logisches Signal und andererseits (im vorliegenden Beispiel) die Adressbits niedriger Stelle empfangen, die einerseits am Anschluß A2
30 (niedrige Zeilenadress-Stelle) und andererseits am Anschluß A4 (niedrige Spaltenadress-Stelle) erscheinen.

Der Testmodusanschluß T liefert ein logisches Signal, das er

von außerhalb der Schaltung erhält und das angibt, ob der normale Betriebsmodus oder der Testmodus besteht.

Die Sperrung des Zugriffs zu einer Zeile findet statt, indem diese Zeile mit der Masse verbunden wird, wenn die

- 5 Adresse dieser Zeile dem Zeilendecoder geliefert wird, sofern man im Testmodus ist. Im dargestellten Beispiel ist die Sperrung jedoch allgemeiner, um auf einfache Weise die Simulation eines Schachbretts mit sehr beschränkten logischen Einrichtungen zu gestatten. In diesem Fall nämlich werden alle
- 10 Zeilen gleichzeitig mit der Masse verbunden, sobald die von den Zeilen- und Spaltendecodern bezeichnete Adresse der Speicherstelle einer Adresse entspricht, die gesperrt werden soll, d.h. sobald die gewählte Speicherstelle fiktiv als eine programmierte Speicherstelle betrachtet werden soll.

- 15 Wenn die Transistoren TL1 bis TL4 dazu dienen würden, statt der Zeilen die Spalten zu deselectionieren, wird ebenfalls vorzugsweise vorgesehen, daß alle Spalten gleichzeitig deselectioniert werden, wenn eine zu sperrende Stellenadresse übertragen wird.

- 20 Die logische Schaltung, die zur Simulation eines schachbrettförmigen Inhalts dient, kann, wie Figur 2 zeigt, ein ODER-EXCLUSIV-Gatter 10 besitzen, dessen erster Eingang das Zeilenadressbit niedriger Stelle (das am Eingang A2 erscheint) und dessen zweiter Eingang das Spaltenadressbit niedriger Stelle
- 25 (das am Eingang A4 auftritt) empfängt.

Der Ausgang des ODER-EXCLUSIV-Gatters 10 liefert eine erste logische Stufe (beispielsweise 0), wenn die Parität der Zeilenadresse dieselbe wie die Parität der Spaltenadresse ist, d.h. wenn man eine Stelle entweder an der Kreuzung einer

Zeile ungeradzahligen Rangs und einer Spalte ungeradzahligen Rangs oder an der Kreuzung einer Zeile geradzahligen Rangs und einer Spalte geradzahligen Rangs wählt. Der Ausgang des ODER-EXCLUSIV-Gatters liefert eine zweite logische Stufe,
5 die zur ersten komplementär ist, wenn die Zeilen- und Spaltenrangparitäten verschieden sind.

Der Ausgang des ODER-EXCLUSIV-Gatters 10 liegt an einem Eingang eines logischen Gatters 12 (beispielsweise UND-Gatter) an, das durch das Testmodussignal des Anschlusses T validiert
10 wird, so daß der Zugriff zu den Zeilenleitern nur im Testmodus gesperrt werden kann.

Der Ausgang des Gatters 12 steuert die Transistoren TL1 bis TL4, um sie leitend zu machen und den Zugriff zur gewählten Zeile zu sperren, sowie übrigens zu allen anderen Zeilen
15 beispielsweise in dem Fall, in dem die Paritäten der Zeilen- und Spaltenadressen verschieden sind.

Daraus ergibt sich folgende Arbeitsweise:

I. Normaler Modus

Wenn man im normalen Betriebsmodus ist (im Gegensatz zum Test-
20 modus), läßt das Gatter 12 die Ausgangssignale des ODER-EXCLUSIV-Gatters 10 nicht durch und keiner der Sperrtransistoren TL1 bis TL4 kann leitend gemacht werden.

II. Testmodus

a) Wenn die adressierte Zeile eine Parität ungeradzahligen
25 Rangs hat (Zeile L1 oder L3), wird nun die Adressierung dieser Zeile durch Verbindung dieser Zeile (und auch alle anderen Zeilen) gesperrt, sofern die gleichzeitig dem Spaltendecoder gelieferte Spaltenadresse auch einer Spalte ungeradzahligen Rangs (C1 oder C3) entspricht. Wenn die

Spaltenadresse geradzahligen Rangs ist (Benennung der Spalten C2 oder C4), so wird die gewählte Zeile nicht gesperrt.

5 b) Wenn die adressierte Zeile eine Parität geradzahligen Rangs hat (Wahl von L2 oder L4), geschieht dasselbe: Die Adressierung der Zeile wird gesperrt, wenn die Parität der Spaltenadresse ebenfalls geradzahlig ist.

10 c) Insgesamt wird normalerweise jede zweite Stelle adressiert. Ihre unmittelbaren Nachbarn in der Zeile und in der Spalte werden nicht adressiert, wenn die Zeilen- und Spaltendecoder die Adressen empfangen, die diese wählen sollten; Sie liefern keinen Strom an der benannten Spalte und verhalten sich also vom Ausgang S aus gesehen wie programmierte Speicherstellen, die nicht durch die Lesespannung VL leitend gemacht werden können. Auf diese Weise wird also
15 ein Schachbrett von abwechselnd programmierten und nicht-programmierten Speicherstellen simuliert.

Ohne Schwierigkeit können auch andere einfache Muster von Speicherinhalten simuliert werden, beispielsweise eine Wechselfolge von Zeilen von programmierten Punkten und von nicht-
20 programmierten Punkten: das UND-Gatter 12 hätte hierbei einen Eingang an den Anschluß T angeschlossen und einen anderen Eingang an den Eingang A2 angeschlossen, wobei das ODER-EXCLUSIV-Gatter entfällt. Ebenso genügt es zur Simulierung einer Wechselfolge von Spalten mit programmierten Punkten
25 und Spalten mit nichtprogrammierten Punkten, einen Eingang des UND-Gatters 12 an den Eingang A4 anzuschließen, wobei das ODER-EXCLUSIV-Gatter wegfällt.

Andere Speicherinhaltsmuster können mit Hilfe von Decodierschaltungen simuliert werden, die manche Zeilen- und Spalten-
30 adressbits empfangen, um die Transistoren TL1 bis TL4 in Abhängigkeit von den am Eingang der Decoder erhaltenen Adressen zu steuern.

Die Erfindung gestattet die Erfassung der Verhaltensfehler der integrierten Schaltung und die Durchführung des Geschwindigkeitstests von einmalig programmierbaren Festwertspeichern selbst nach Einkapselung in einem opaken Gehäuse.

Ansprüche

1. ROM-Speicher mit einem einen Ur- und einem programmierten Zustand aufweisende Netz aus Speicherstellen (P_{ij}), dessen Zustand selektiv und ausgehend von mindestens einen Entcodierer (DL und DC) gelesen werden kann, der befähigt ist, eine Auswahladresse von einer Speicherstelle zu empfangen und befähigt ist, eine Lesespannung (VL) an eine ausgewählte Speicherstelle zu senden, wobei der Speicher einen Testmodusanschluß (T) aufweist, um ein Signal zu empfangen, das angibt, ob der Speicher normal funktionieren oder getestet werden soll, dadurch gekennzeichnet, daß er eine durch den Testmodusanschluß gesteuerte Schaltung (10 und 12) umfaßt, um im Testmodus das Unterbinden des Lesens bestimmter Speicherstellen dann zuzulassen, wann die Adresse dieser Stellen durch den Entcodierer empfangen wird, so daß von dem Ausgang des Speichers aus gesehen diese Speicherstellen eine absichtlich falsche Information über deren Urzustand liefern, wobei dieser Vorgang ohne Auswählen mittels dem Entcodierer der zusätzlichen Zeilen oder Spalten stattfindet, die für den Test reserviert sind.
2. Speicher nach Anspruch 1, dadurch gekennzeichnet, daß die Speicherstellen zwei Zustände annehmen können und daß die Information am Ausgang des Speichers in zwei Typen gemäß der Funktion der Speicherstelle vorliegt, so daß:
 - im ersten Zustand durch die adressierte Speicherstelle ein spezifisches elektrisches Signal geliefert wird: und
 - im zweiten Zustand durch die adressierte Speicherstelle kein spezifisches Signal geliefert wird, das anders wäre als die von den nicht adressierten Speicherstellen gelieferten Signale.
3. Speicher nach Anspruch 1, dadurch gekennzeichnet, daß die Speicherstellen Schwebendgate-Transistoren oder ähnliche Elemente sind, die durch eine Lesespannung dann leitend geschaltet werden können, wenn sie nicht durch Programmieren in ihren zweiten Zustand gebracht

worden sind, und nicht mehr durch diese Spannung leitend geschaltet werden können, wenn sie durch Programmieren in ihren zweiten Zustand gebracht worden sind.

4. Speicher nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß er eine Logikschaltung (10, 12, TL1 bis TL4) umfaßt, die befähigt ist, das Anlegen einer Leseversorgung bei einer ausgewählten Speicherstelle zu unterbinden.
5. Speicher nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß er eine Logikschaltung umfaßt, die befähigt ist, die Weitergabe von Information zwischen einer Spaltenleitung und dem Ausgang des Speichers zu unterbinden.
6. Speicher nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß das Unterbinden des Lesens eine Funktion des Zustandes eines Adressbits (A2) einer Zeile ist.
- 15 7. Speicher nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß das Unterbinden des Lesens eine Funktion des Zustandes eines Adressbits (A4) einer ausgewählten Spalte ist.
- 20 8. Speicher nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß er eine Logikschaltung (10, 12, TL1 bis TL4) umfaßt, die befähigt ist, das Lesen des Wertes der Summe eines Zeilenadressbits und eines ausgewählten Spaltenadressbits zu unterbinden, die gleichzeitig mit der Zeile ausgewählt sind, wobei die Zeilenadresse und die Spaltenadresse die Position einer Speicherstelle festlegen, deren Zustand maskiert werden soll.
- 25 9. Speicher nach einem der Ansprüche 4 bis 8, bei dem das wertniedrigstete Bit der Zeilenadresse die Auswahl einer der zwei Nebenzeilen ermöglicht und das wertniedrigstete Bit der Spaltenadresse die Auswahl einer der zwei Nebenspalten ermöglicht, dadurch gekennzeichnet, daß er ein Logiktor (10) aufweist, das das wertniedrigstete Bit der Zeilenadresse und das wertniedrigstete Bit der Spaltenadresse empfängt, sowie Schalter (TL1 bis TL4) umfaßt, die befähigt sind, das Lesen dann zu unterbinden, wenn im Testmodus die Summe der wertniedrigsteten Zeilen- und Spaltenbits einen bestimmten Wert hat.
- 30

10. Speicher nach Anspruch 4, dadurch gekennzeichnet, daß die Schaltung zum Unterbinden des Anlegens der Lesespannung nicht nur das Anlegen der Spannung bei der ausgewählten Zeile sondern auch gleichzeitig das Anlegen der Lesespannung bei allen anderen Zeilen unterbindet, wenn die dem Entcodierer zugeliesserte Adresse der Position einer Speicherstelle entspricht, dessen Zustand maskiert werden soll.
11. Speicher nach Anspruch 5, dadurch gekennzeichnet, daß die Schaltung zum Unterbinden der Weitergabe der Spalteninformation nicht nur die Weitergabe bezüglich einer ausgewählten Spalte sondern auch gleichzeitig die Weitergabe bei den anderen Spalten unterbindet, wenn die dem Entcodierer zugeliesserte Adresse der Position einer Speicherstelle entspricht, dessen Zustand maskiert werden soll.
12. Speicher nach einem der Ansprüche 1 bis 11, dadurch gekennzeichnet, daß er des nur einmal programmierbaren Typs ist und daß der Zustand der Speicherstellen im Augenblick des Testens bei allen Stellen der gleiche ist.
13. Verfahren zum Testen eines ROM-Speichers, dessen Speicherstellen einen ersten oder einen zweiten Zustand annehmen können, bei dem
- bei einem Entcodierer (DL und DC) nacheinanderfolgende Adressen zu testender Speicherstellen angelegt werden, und
 - durch den Entcodierer eine Lesespannung (VL) bei diesen Stellen angelegt wird, so daß am Ausgang des Speichers sie eine Information bezüglich ihres Zustandes liefern,
- dadurch gekennzeichnet,
- daß man das Lesen bei gewissen Speicherstellen unterbindet, so daß diese Stellen vom Ausgang her betrachtet sich wie Stellen verhalten, die sich in einem anderen Zustand befinden als dem Zustand, dem sie in der Wirklichkeit entsprechen, wobei dies ohne die Auswahl zusätzlicher, für das Testen reservierter Speicherstellen stattfindet.
14. Verfahren nach Anspruch 13, dadurch gekennzeichnet, daß der Speicher des nur einmal programmierbaren Typs ist und daß die Speicherstellen im Augenblick des Testens den gleichen Zustand aufweisen.

FIG_1



